

## Ejercicio 9a:

9a) Este bus debería tener 16 líneas tanto de direcciones como de datos, debido al ancho de las direcciones y de la palabra. A su vez, el bus debería tener las líneas de control MREQ (para indicar que se realiza un acceso a memoria), clk (pues el bus es síncrono), RD (para indicar si la operación es de lectura o escritura), WAIT (para que el slave se comuniqué con el master, indicándole que está procesando la operación, o ya terminó). No hacen falta nuevas líneas de control.

## Ejercicio 9b:

b) Tomamos por protocolo que al iniciar la lectura los bus de datos y direcciones se encuentran en alta impedancia, y las señales RD, MREQ y WAIT se encuentran levantados. Continuamos el protocolo anterior con el paso 9:

9. Una vez que la CPU lee los datos, pone el bus de direcciones en alta impedancia pues ya no necesita indicar la dirección.
10. La CPU sube la línea RD pues ya leyó los datos.
11. La CPU sube la línea MREQ indicando que los datos fueron leídos y se desea terminar la transferencia.
12. El módulo de memoria pone el bus de datos en alta impedancia una vez que la CPU leyó los datos (lo cual tomaremos que puede hacerse en un ciclo).

## Ejercicio 9c:

